

PCT
 WELTORGANISATION FÜR GEISTIGES EIGENTUM
 Internationales Büro
 INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
 INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)



<p>(51) Internationale Patentklassifikation ⁶ : G06K 7/00</p>	<p>A1</p>	<p>(11) Internationale Veröffentlichungsnummer: WO 99/17247</p> <p>(43) Internationales Veröffentlichungsdatum: 8. April 1999 (08.04.99)</p>		
<table style="width: 100%;"> <tr> <td style="width: 50%; vertical-align: top;"> <p>(21) Internationales Aktenzeichen: PCT/DE98/02805</p> <p>(22) Internationales Anmeldedatum: 22. September 1998 (22.09.98)</p> <p>(30) Prioritätsdaten: 197 42 459.7 26. September 1997 (26.09.97) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): ORGA KARTENSYSTEME GMBH [DE/DE]; An der Kapelle 2, D-33104 Paderborn (DE).</p> <p>(72) Erfinder; und</p> <p>(75) Erfinder/Anmelder (nur für US): VELSEN, Jürgen [DE/DE]; Dahlbreite 1, D-33165 Lichtenau (DE). NEUMANN, Rainer [DE/DE]; Heimatstrasse 51, D-33175 Bad Lippspringe (DE).</p> </td> <td style="width: 50%; vertical-align: top;"> <p>(81) Bestimmungsstaaten: BR, CA, CN, KR, RU, SG, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i></p> </td> </tr> </table>			<p>(21) Internationales Aktenzeichen: PCT/DE98/02805</p> <p>(22) Internationales Anmeldedatum: 22. September 1998 (22.09.98)</p> <p>(30) Prioritätsdaten: 197 42 459.7 26. September 1997 (26.09.97) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): ORGA KARTENSYSTEME GMBH [DE/DE]; An der Kapelle 2, D-33104 Paderborn (DE).</p> <p>(72) Erfinder; und</p> <p>(75) Erfinder/Anmelder (nur für US): VELSEN, Jürgen [DE/DE]; Dahlbreite 1, D-33165 Lichtenau (DE). NEUMANN, Rainer [DE/DE]; Heimatstrasse 51, D-33175 Bad Lippspringe (DE).</p>	<p>(81) Bestimmungsstaaten: BR, CA, CN, KR, RU, SG, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i></p>
<p>(21) Internationales Aktenzeichen: PCT/DE98/02805</p> <p>(22) Internationales Anmeldedatum: 22. September 1998 (22.09.98)</p> <p>(30) Prioritätsdaten: 197 42 459.7 26. September 1997 (26.09.97) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): ORGA KARTENSYSTEME GMBH [DE/DE]; An der Kapelle 2, D-33104 Paderborn (DE).</p> <p>(72) Erfinder; und</p> <p>(75) Erfinder/Anmelder (nur für US): VELSEN, Jürgen [DE/DE]; Dahlbreite 1, D-33165 Lichtenau (DE). NEUMANN, Rainer [DE/DE]; Heimatstrasse 51, D-33175 Bad Lippspringe (DE).</p>	<p>(81) Bestimmungsstaaten: BR, CA, CN, KR, RU, SG, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i></p>			

(54) Title: INSTALLATION FOR CHIP CARD OPERATION AND DATA EXCHANGE BETWEEN A CHIP CARD AND A MICROPROCESSOR-AIDED SYSTEM

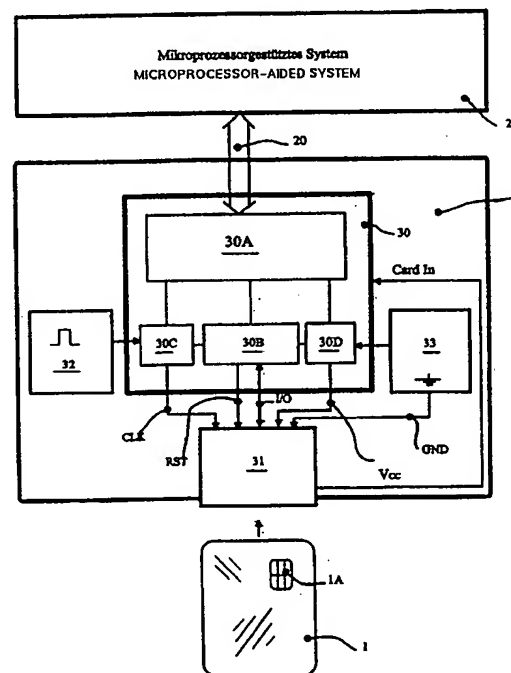
(54) Bezeichnung: EINRICHTUNG FÜR DEN BETRIEB EINER CHIPKARTE UND DEN DATENAUSTAUSCH ZWISCHEN EINER CHIPKARTE UND EINEM MIKROPROZESSORGESTÜTZTEN SYSTEM

(57) Abstract

The invention relates to an installation for a chip card operation and data exchange between a chip card and a microprocessor-aided system. Such an installation enables said chip card to be activated by a microprocessor-aided system without it being necessary to interconnect any additional microprocessor.

(57) Zusammenfassung

Die Erfindung bezieht sich auf eine Einrichtung für den Betrieb einer Chipkarte und den Datenaustausch zwischen einer Chipkarte und einem mikroprozessorgestützten System, die die Ansteuerung der Chipkarte von dem mikroprozessorgestützten System unmittelbar ohne Zwischenschaltung eines weiteren Mikroprozessors ermöglicht.



LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Titel: Einrichtung für den Betrieb einer Chipkarte und den Datenaustausch zwischen einer Chipkarte und einem mikroprozessorgestützten System

Die Erfindung bezieht sich auf eine Einrichtung für den Betrieb einer Chipkarte und den Datenaustausch zwischen einer Chipkarte und einem mikroprozessorgestützten System, beispielsweise ein Personal Computer, gemäß dem Oberbegriff von Patentanspruch 1. Mit einem mikroprozessorgestützten System ist jedes System gemeint, das einen Mikroprozessor enthält, also auch ein System mit Mikrokontroller oder ein Personal Computer.

Hintergrund der Erfindung:

Chipkarten haben in den letzten Jahren als Bank- und Kreditkarten, Identifizierungs- und Zugangsberechtigungskarten im Mobilfunkbereich (GSM-Karten, Global System of Mobile Communication), Krankenversichertenkarten, Telefonkarten sowie in vielen weiteren Bereichen eine starke Verbreitung gefunden.

Zur Kommunikation mit sogenannten Kartenschreib-/Lesegeräten weisen die Chipkarten auf dem Kartenkörper metallische Kontaktflächen auf, die mit dem Chip (Mikroprozessorchip oder Speicherchip mit Logikeinheit) in der Karte verbunden sind. Das Kartenschreib-/Lesegerät weist nun seinerseits eine Kontaktiereinheit mit Kontakten auf, die zu den Kontaktflächen der Chipkarte korrespondieren, wobei nach dem Einführen der Karte in das Kartenschreib-/Lesegerät die Kontakte und die Kontaktflächen in eine elektrisch leitende Verbindung gebracht werden. Dabei ist eine Kontaktfläche für die Zuführung der Versorgungsspannung (VCC), eine für die Referenzspannung/Masse (GND), eine für die Zuführung der Taktfrequenz (CLK), eine für den seriellen Datenaustausch (I/O) und eine für die Reset-Leitung (RST) vorgesehen.

Aus Gründen der Standardisierung sind sowohl die Abmessungen der Karte, die Lage der Kontaktflächen wie auch die elektrischen Signale von und zur Chipkarte einschließlich der Datenübertragung genormt (ISO 7810, 7816-2, 7816-3).

Neben den oben genannten fünf Kontaktflächen ist in den Normen eine Kontaktfläche für die Zuführung einer Programmierspannung vorgesehen, die jedoch bei den meisten Chipkarten nicht mehr benötigt wird, da bei diesen die Programmierspannung intern im Chip selbst aus der Versorgungsspannung generiert wird. Desweiteren sind zwei Kontaktflächen für künftige Anwendungen vorgesehen.

Der Datenaustausch zwischen Chipkarte und Kartenschreib-/Lesegerät erfolgt bei Speicherkarten synchron, während er bei Mikroprozessorkarten asynchron erfolgt. Für die asynchrone Datenübertragung sind zwei Protokolle (T=0 und T=1) genormt, wobei das eine (T=0) byteorientiert und das andere (T=1) blockorientiert ist.

Stand der Technik:

Aus der US 4,767,920 ist ein Kartenschreib-/Lesegerät für Chipkarten bekannt, über das die Kommunikation zwischen einem Computer bzw. ganz allgemein einem mikroprozessorgestützten System und einer Chipkarte ermöglicht wird. Das Kartenschreib-/Lesegerät weist neben der Kontaktiereinheit zur Ansteuerung und Versorgung der Chipkarte und zum Datenaustausch mit der Chipkarte mehrere, diskrete Komponenten auf.

Unter anderem:

- einen eigenen Mikroprozessor zum Empfang und zur Weiterleitung der von der Chipkarte seriell gesendeten Daten an das mikroprozessorgestützte System bzw. zum Empfang und zur Weiterleitung der von dem mikroprozessorgestützten System gesendeten Daten an die Chipkarte, wobei jeweils das anzuwendende Kommunikationsprotokoll als Steuerprogramm in dem Mikroprozessor des Kartenschreib-/Lesegerätes gespeichert ist,
- einen Schaltkreis zur Erzeugung der Versorgungsspannung (VCC) für die Chipkarte,
- einen Schaltkreis zur Erzeugung des Taktsignales für die Chipkarte aus dem Takt eines ebenfalls in dem Kartenschreib-/Lesegerät angeordneten Schwingquarzoszillators.

Nachteilig hierbei ist, daß die Geschwindigkeit der Kommunikation zwischen dem mikroprozessorgestützten System und der Chipkarte unter Zwischenschaltung eines Mikroprozessors im Kartenschreib-/Lesegerät relativ langsam ist, da in dem Mikroprozessor des Kartenschreib-/Lesegerätes für den Datentransfer von und zur Chipkarte zur Umsetzung des entsprechenden Kommunikationsprotokolls (z.B. T=0) ein Programm, welches in dem Mikroprozessor des Kartenschreib-/Lesegerätes gespeichert ist, unter sequentieller Abarbeitung der einzelnen Befehlsschritte ausgeführt werden muß. Außerdem ist die Integration eines solchen Kartenschreib-/Lesegerätes, das einen Mikroprozessor enthält, in ein mikroprozessorgestütztes System sehr aufwendig, da es voraussetzt, daß die Personen, die die Integration vorzunehmen haben, genaue Kenntnisse über den Mikroprozessor-Typ in dem Kartenschreib-/Lesegerät und die Art der Ansteuerung und Kommunikation mit diesem Mikroprozessor-Typ haben müssen. Dies wird insbesondere dadurch erschwert, daß die Hersteller und Anbieter von mikroprozessorgestützten Systemen und die Hersteller und Anbieter von Kartenschreib-/Lesegeräten nicht identisch sind und die eingesetzten Mikroprozessor-Typen im mikroprozessorgestützten System und im Kartenschreib-/Lesegerät in der Regel nicht die gleichen sind. Ein Beispiel hierfür wäre eine Firma, die ein Arbeitszeiterfassungssystem auf einem Personal-Computer anbietet und nun Mitarbeiterausweise in Form von Chipkarten zur Zeiterfassung in ihr System einbinden will, und aus diesem Grunde ein entsprechendes Kartenschreib-/Lesegerät (Interface), das nicht selbst entwickelt werden soll, in ihr System integrieren muß.

Aufgabe der Erfindung:

Aufgabe der Erfindung ist es, eine Einrichtung für den Betrieb einer Chipkarte und den Datenaustausch zwischen einer Chipkarte und einem mikroprozessorgestützten System zu schaffen, die eine schnelle Kommunikation zwischen dem mikroprozessorgestützten System und der Chipkarte ermöglicht, in einfacher Weise in mikroprozessorgestützte Systeme zu integrieren ist und darüber hinaus kostengünstig herzustellen ist.

Lösung der Aufgabe:

Diese Aufgabe wird erfindungsgemäß dadurch gelöst, daß die Einrichtung als bezogen auf das mikroprozessorgestützte System periphere Schnittstellen-Einheit ausgebildet ist, in der die folgenden Komponenten enthalten sind:

- ein Schaltkreis zur Kommunikation mit dem mikroprozessorgestützten System,
- ein Schaltkreis zur Kommunikation mit der Chipkarte gemäß den von dem mikroprozessorgestützten System empfangenen Daten und Steueranweisungen,
- ein Schaltkreis zur Generierung der Versorgungsspannung (VCC) für die Chipkarte,
- ein Schaltkreis, welcher aus einem Takt eines externen Schwinquarzes, ein hinsichtlich der Taktfrequenz modifiziertes Taktsignal (CLK) für die Chipkarte erzeugt.

Dabei wird die Chipkarte von dem mikroprozessorgestützten System unmittelbar über diese periphere Schnittstellen-Einheit ohne Zwischenschaltung eines weiteren Mikroprozessors angesteuert. Die erfindungsgemäße Einrichtung stellt somit eine hardwaremäßige Unterstützung (Hardware-Protokollkonverter) des mikroprozessorgestützten Systems dar, wobei bestimmte, zeitkritische Abläufe (untere Schichten des jeweils verwendeten Kommunikationsprotokolls) in der Kommunikation mit der Chipkarte nun nicht mehr durch Software, sondern durch einen fest definierten („fest verdrahteten“) Schaltkreis realisiert werden, der in Abhängigkeit bestimmter Eingangssignale nur noch vorbestimmte Schaltungsfolgen ausführt. Lediglich nicht so zeitkritische Abläufe (obere Schicht des Kommunikationsprotokolls) werden softwaremäßig im mikroprozessorgestützten System umgesetzt. Hierdurch wird die Kommunikation zwischen der Chipkarte und dem mikroprozessorgestützten System wesentlich beschleunigt.

Die erfindungsgemäße Einrichtung ist wesentlich einfacher in ein mikroprozessorgestütztes System zu integrieren als ein Kartenschreib-/Lesegerät mit einem eigenen Mikroprozessor, da es nicht notwendig ist, daß diejenigen, die die Integration durchzuführen haben und die sich zwar mit ihrem eigenen mikroprozessorgestützten System auskennen, sich auch noch in einen für sie fremden Mikroprozessor-Typ einarbeiten müssen.

Vielmehr ist es vorgesehen, daß für die erfindungsgemäße Einrichtung für verschiedene mikroprozessorgestützte Systeme eine Software-Library zur Installation auf dem mikroprozessorgestützten System zur Ansteuerung der erfindungsgemäßen Einrichtung zur

Verfügung gestellt wird. Diese Software-Library umfaßt vorzugsweise verschiedene Kommunikationsprotokolle. Damit ist die erfindungsgemäße Einrichtung universell für verschiedene mikroprozessorgestützte Systeme einsetzbar.

In besonders vorteilhafter Weise ist die erfindungsgemäße Einrichtung als monolithischer Schnittstellen-Halbleiterbaustein in Form eines applikationsspezifischen, integrierten Schaltkreises, eines sogenannten ASIC (Abk. für den Ausdruck: Application Specific Integrated Circuit), ausgebildet. Der Schnittstellen-Halbleiterbaustein ist bevorzugt in CMOS-Technologie realisiert, um einen niedrigen Leistungsverbrauch zu gewährleisten.

Insbesondere durch den Wegfall des Mikroprozessors und aufgrund der Integration der verschiedenen Komponenten auf einem monolithischen Halbleiterbaustein stellt die erfindungsgemäße Einrichtung eine, gerade bei großen Stückzahlen, kostengünstige Lösung dar. Durch den Wegfall des Mikroprozessors reduziert sich auch die benötigte Chipfläche für den monolithischen Schnittstellen-Baustein, was wiederum die Kosten senkt.

Außerdem erbringt die Integration verschiedener Komponenten auf einem monolithischen Halbleiterbaustein gegenüber diskret auf einer Platine aufgebauten Schaltungen eine erhebliche Platzeinsparung, die neue Möglichkeiten bei der Konstruktion von Endgeräten eröffnet.

Besonderes hervorgehoben werden soll noch, daß auf dem monolithischen Schnittstellen-Baustein sowohl digitale als auch analoge Schaltkreise/Funkktionen realisiert sein können. So ist auf dem monolithischen Halbleiterbaustein auch ein analoger Schaltkreis zur Generierung und Kontrolle der Versorgungsspannung für die Chipkarte vorgesehen. Es ist jedoch auch nur eine rein digitale Schaltung zur Kontrolle der Versorgungsspannung, die extern durch eine analoge Schaltung realisiert wird vorgesehen.

Die erfindungsgemäße Einrichtung ist beispielsweise vorgesehen für den Einbau in Kartenschreib-/Lesegeräte, die mit einem mikroprozessorgestützten System verbunden werden, oder für den Einbau in tragbare, mikroprozessorgestützte Endgeräte, die einen Karteneingabeschlitz und eine Kontaktiereinheit umfassen, z.B. mobile Kartenleser für Krankenversichertenkarten, wo der darin enthaltene Mikroprozessor/Controller einerseits über

die erfindungsgemäße Einrichtung mit der Chipkarte kommuniziert und andererseits in der Lage ist, andere Funktionen zu erfüllen: Speicherung und Verarbeitung der Kartendaten, Ansteuerung von Tastatur und Display etc. Darüber hinaus kann die erfindungsgemäße Einrichtung aber auch in stationären mikroprozessorgestützten Systemen (z.B. Bankautomaten, Verkaufsautomaten), in denen ein Kartenschreib-/Lesegerät integriert ist, zur Anwendung kommen.

Anhand der beigefügten Zeichnungen soll die erfindungsgemäße Einrichtung nachfolgend näher erläutert und weitere Vorteile aufgezeigt werden.

In Fig. 1 ist schematisch ein mikroprozessorgestütztes System (2), ein Kartenschreib-/Lesegerät (3) mit Kontaktiereinheit (31) und eine in die Kontaktiereinheit (31) einzuführende Chipkarte (1) mit ihren Kontaktflächen (1A) gezeigt. Das mikroprozessorgestützte System (2) ist vorzugsweise über eine parallele, bidirektionale Schnittstelle mit der erfindungsgemäßen Einrichtung (30), vorzugsweise in Form eines monolithischen Schnittstellen-Halbleiterbausteins, der sich in dem Kartenschreib-/Lesegerät (3) befindet, verbunden; zu diesem Zweck befindet sich zwischen dem mikroprozessorgestützten System (2) und dem Kartenschreib-/Lesegerät (3) ein mehradriges Schnittstellenkabel (20). In dem Kartenschreib-/Lesegerät (3) befindet sich neben der erfindungsgemäßen Einrichtung (30) ein Schwingquarzoszillator (32) und eine Leistungsversorgungseinheit (33, Netzteil, Batterie oder ein wiederaufladbarer Akkumulator).

In dem monolithischen Schnittstellen-Halbleiterbaustein (30) ist ein Schaltkreis (30A) zur Kommunikation mit dem mikroprozessorgestützten System (2) und ein Schaltkreis (30B) zur Kommunikation mit der Chipkarte (1) integriert, der die Kommunikation gemäß den von dem mikroprozessorgestützten System (2) empfangenen Daten und Steueranweisungen ermöglicht. Darüber hinaus ist in dem monolithischen Schnittstellen-Halbleiterbaustein (30) ein Schaltkreis (30D) zur Generierung der Versorgungsspannung (VCC) für die Chipkarte (1) und ein Schaltkreis (30C) zur Generierung des Taktsignals (CLK) für die Chipkarte (1) integriert.

Der Schaltkreis (30A) umfaßt in einer Ausführungsform eine parallele, bidirektionale Schnittstelle. In besonders vorteilhafter Weise umfaßt der Schaltkreis (30A) einen Pufferspeicherbereich, insbesondere einen nach dem First In First Out (FIFO)-Prinzip, zur Zwischenspeicherung von Daten und Steueranweisungen. Dies verhindert Datenverluste und

schafft somit einen zuverlässigen Betrieb, auch wenn das mikroprozessorgestützte System noch mit anderen Dingen beschäftigt ist. Eine derartige Schnittstelle ist den Fachleuten unter Abk. ECP (Extended Capability Port, gemäß der Norm IEEE1284) bekannt und mittlerweile zu einem Standard geworden.

In einer zweiten Ausführungsform umfaßt der Schaltkreis (30A) eine sogenannte μ P-Bus-Schnittstelle.

In einer bevorzugten Ausführungsform sind sowohl die oben genannte ECP- als auch die μ P-Bus-Schnittstelle in der erfindungsgemäßen Einrichtung (30) integriert. Die Selektion der gewählten Schnittstellenbetriebsart erfolgt dann über die Steuerleitung S_0 (siehe Fig.2 und Fig. 3). Je nach dem welche Betriebsart ausgewählt ist, wird der Schnittstellenbaustein (30) zur Unterstützung der ausgewählten Betriebsart entsprechend umkonfiguriert, wobei sich die Funktionalität der Steuerleitungen (S, S^*) ändert.

Zur Veranschaulichung ist jeweils in Fig.3A und 3B das zeitliche Zustandsdiagramm für die Steuer-/Signalleitungen (S, S^*) für den Fall des Schreibzugriffs des mikroprozessorgestützten System (2) auf den Schnittstellen-Baustein (30) gezeigt. Diese Diagramme und die Nomenklatur der Signalleitungen sind dem Fachmann geläufig.

Darüber hinaus ist es vorgesehen, daß eine parallele Schnittstelle des mikroprozessorgestützten Systems (2) mehrere der erfindungsgemäßen Schnittstellen-Einheiten (30) angeschlossen werden können. Die Selektion einer bestimmten Schnittstellen-Einheit (30) erfolgt dann über eine Identifizierungsnummer (sogenannte Device-ID).

In einer alternativen Ausführungsform umfaßt der Schaltkreis (30A) eine serielle Schnittstelle.

Fig.2 zeigt eine detailliertere Darstellung der erfindungsgemäßen Schnittstellen-Einheit (30). Diese umfaßt eine je nach Schnittstellen-Betriebsart umkonfigurierbare Steuereinheit, welche die Kommunikation mit dem mikroprozessorgestützten System (2) regelt. Über ein Adressregister wird in Verbindung mit einem Adressdekoder ausgewählt, welches Register (Timer, Interrupt-Maskenregister, Interruptregister, Statusregister, Steuerregister, Moderegister) von dem mikroprozessorgestützten System gelesen oder beschrieben soll. Diese Register sind über ein internes Bussystem wiederum mit einem UART (Universal

Asynchronus Receiver/Transmitter) verbunden, der die Parallel/Seriell-Wandlung der Daten von und zur Chipkarte durchführt. Vorzugsweise weist dieser UART einen Schaltkreis zur Fehlererkennung bzgl. der auszutauschenden Datenbits unter Verwendung eines Paritätsbits auf.

/

Im Interruptregister werden Ereignisse abgespeichert, die einen Interrupt auslösen können sollen; zum Beispiel eine Überschreitung des Stroms auf der Vcc-Leitung zur Chipkarte oder die Tatsache, ob eine Karte gesteckt ist oder gezogen. Im Interrupt-Maskenregister kann durch eine Maskierung festgelegt werden, welche der im Interruptregister tatsächlich für Interrupts benutzt werden.

Im Statusregister werden beispielsweise der Zustand der Versorgungsleitung (VCC) zur Chipkarte (1) oder das Auftreten eines Paritätsfehlers bei der Datenübertragung abgespeichert.

Im Steuerregister wird beispielsweise die Konvention der Datenübertragung bzgl. der Zuordnung der logischen Zustände (1,0) zu den Spannungspegeln (High, Lob) definiert.

Der Kartentaktgenerator erzeugt aus dem von außen angelegten Takt eines Schwingquarzoszillators (32) das Taktsignal für die Chipkarte (CLK). Hierfür wird die Frequenz des vom Schwingquarzoszillator (32) gelieferten Taktes geteilt. Die erfindungsgemäße Einrichtung (30) sieht als Teilungsfaktoren die Zahlen 2 bis 31 vor. Der zulässige Bereich für den von außen gelieferten Takt des Schwingquarzoszillator (32) ist 1Mhz bis 32 MHz; ein typischer Wert sind 29,4 MHz. Damit ist die erfindungsgemäße Einrichtung (30) sehr flexibel hinsichtlich der Variation der Frequenz des Taktsignales (CLK) für die Chipkarte (1). Beispielsweise ergibt sich bei einem Schwingquarzoszillator (32) mit 29,4 MHz und einem Teilungsfaktor von 8 eine Frequenz für das Chipkartentaktsignal (CLK) von 3.675 MHz.

Aus dem Chipkartentaktsignal (CLK) und der dazu gehörigen Frequenz, die wie vorstehend erläutert mit der erfindungsgemäßen Einrichtung (30) ebenfalls programmierbar ist, wird nun die Datenübertragungsrate für den Datentransfer von und zur Chipkarte (1) abgeleitet. Hierzu muß man wissen, daß in einer Mikroprozessor-Chipkarte (1) wiederum ein Teilungsfaktor enthalten ist, der die Anzahl der Takte (CLK) pro Bit angibt, woraus sich die Zeitdauer für ein Bit (elementary time unit, etu) ergibt. Die erfindungsgemäße Einrichtung (30) ist nun sogar in

der Lage Chipkarten (1) zu unterstützen, in denen mehr als ein Teilungsfaktor zur Generierung unterschiedlicher Übertragungsraten (entspricht unterschiedlichen ETU's) enthalten ist. Die Chipkarte (1) teilt dabei nach einem Reset in einem sogenannten ATR (Answer To Reset, siehe oben genannte Normen) dem Schnittstellen-Baustein mit, welche Teilungsfaktoren möglich sind. In einem nachgeschalteten Protokoll-Selektionsverfahren (PTS, Protocol Type Selection) verständigen sich die Chipkarte (1) und der Schnittstellen-Baustein (30) auf einen gemeinsamen Teilungsfaktor, vorzugsweise auf den kleinsten möglichen, der folglich die höchste Übertragungsrate erbringt. Der Schnittstellen-Baustein (30) unterstützt die Teilungsfaktoren von 1 bis 2047. Zu Beginn ist der Teilungsfaktor 372 aktiviert, da mit diesem auch der ATR von der Chipkarte (1) gesendet wird, in dem diese erst mitteilt, welche weiteren Teilungsfaktoren möglich sind. Die erfindungsgemäße Einrichtung (30) ist somit auch hinsichtlich der möglichen Übertragungsraten sehr flexibel.

Bei synchronen Karten werden der Chipkartentakt (CLK) und die Datenübertragung auf der I/O-Leitung (Setzen der entsprechenden Pegel) unmittelbar über das Signalregister bewirkt, wozu die Multiplexer M1 und M2 entsprechend geschaltet werden. Bei asynchronen Karten (Chipkartenprotokolle T=0 und T01) läuft die Datenübertragung auf der I/O-Leitung über den UART.

Die erfindungsgemäße Einrichtung (30) verfügt über eine I/O-Leitung zum Senden (I/O-TXD, Transmit Data) und eine zum Empfangen (I/O-RXD, Receive Data). Für jede Richtung ist ein Treiber vorgesehen, damit ist auch eine Datenübertragung über größere Entfernungen möglich. In der Kontaktiereinheit (31) sind diese dann wieder als ein I/O-Kontakt für die Chipkarte (1) zusammengeführt

Das Signalregister erzeugt außerdem das Reset (RST) -Signal für die Chipkarte (1) und ein Signal (Out), das noch zur Verwendung frei ist (z.B. könnte hierüber eine LED angesteuert werden, die anzeigt, ob eine Karte gesteckt ist).

Der Timer, welcher - wahlweise über den Multiplexer M3 einstellbar - entweder den Kartenclock (CLK) oder den ETU-Clock zählt, generiert ein Time-Out-Signal für eine einzuhaltende Wartezeit zwischen Datenstrings.

Der Spannungsregler erzeugt aus einer externen Versorgungsspannung (V) die Versorgungsspannung (VCC) für die Chipkarte (1). Dabei ist dieser so ausgelegt, daß er wahlweise mindestens zwei verschiedene Versorgungsspannungen (VCC) zur Unterstützung unterschiedlicher Karten (3V-Karten, 5V-Karten) erzeugen kann. Mit dem Umschalten von einer Versorgungsspannung auf eine andere, werden automatisch auch die Pegel für die I/O-Leitung angepaßt.

Zusätzlich zum Spannungsregler ist eine Leistungskontroll- und Abschalteinheit vorgesehen, die den Versorgungsstrom zur Chipkarte (auf der VCC-Leitung) überwacht, und im Falle einer Überschreitung die Signale (VCC, I/O, CLK, RST) in einer festgelegten Reihenfolge auf definierte Pegel legt - Abschaltsequenz (s. Fig.4B). Der Grenzwert liegt bei 15 mA. Für höhere Ströme ist eine externe Transistorschaltung für die erfindungsgemäße Einrichtung (30) vorzusehen.

Die Abschaltsequenz wird auch ausgelöst, wenn die Chipkarte (1) gezogen wird, was über einen Card In-Kontakt in der Kontaktiereinheit (31) festgestellt wird. Außerdem wird die Abschaltsequenz bei jedem Reset der erfindungsgemäßen Einrichtung (30) ausgelöst.

Die Abschaltsequenz wird nach einer Reaktionszeit von typischerweise 100µs nach dem auslösenden Ereignis gestartet. Zur Festlegung der Reaktionszeit ist ein Verzögerungszähler vorgesehen. Die Reaktionszeit von 100µs gestattet es, beispielsweise bei einer während der Kommunikation fälschlicherweise gezogenen Karte, die Karte noch in einen definierten Zustand zu bringen.

Die Einschaltsequenz (s. Fig.4A) erfolgt unter Softwarekontrolle des mikroprozessorgestützten Systems.

Die erfindungsgemäße Einrichtung (30) ist in der Lage, Signale auf den Leitungen (I/O, RST, CLK) mit einer sehr geringen, definierten maximalen Flankenbegrenzung zu generieren: 100ns für RST und I/O sowie 10 nS für CLK. Die Anschlüsse (I/O, VCC, RST, CLK) sind durch interne Beschaltungen hochspannungsicher ausgebildet, so daß statische Aufladungen einer eingeführten Chipkarte (1) die erfindungsgemäße Einrichtung nicht beschädigen.

Patentansprüche

1. Einrichtung für den Betrieb einer Chipkarte und den Datenaustausch zwischen einer Chipkarte (1) und einem mikroprozessorgestützten System (2), wobei die Chipkarte (1) für ihren Betrieb und den Datenaustausch mindestens elektrische Kontaktflächen für die Versorgungsspannung (VCC), das Taktsignal (CLK), die Referenzspannung/Masse (GND), die serielle Ein-Ausgabe von Daten (I/O) und einen Reset-Anschluß (RST) aufweist und diese Kontaktflächen zu den mit der Einrichtung (30) verbundenen Kontakten einer Kontaktiereinheit (31) korrespondieren,

dadurch gekennzeichnet, daß

die Einrichtung (30) als bezogen auf das mikroprozessorgestützte Endgerät periphere Schnittstellen-Einheit ausgebildet ist, in dem folgende Komponenten enthalten sind:

- ein Schaltkreis (30A) zur Kommunikation mit dem mikroprozessorgestützten System (2),
- ein Schaltkreis (30B) zur Kommunikation mit der Chipkarte (1) gemäß den von dem mikroprozessorgestützten System (2) empfangenen Daten und Steueranweisungen,
- ein Schaltkreis (30D) zur Generierung und/oder Kontrolle der Versorgungsspannung (VCC) für die Chipkarte (1),
- ein Schaltkreis (30C), welcher aus einem Takt eines externen Schwinquarzoszillators (32), ein hinsichtlich der Taktfrequenz modifiziertes Taktsignal (CLK) für die Chipkarte (1) erzeugt,
- wobei die Ansteuerung der Chipkarte (1) von dem mikroprozessorgestützten System (2) unmittelbar über die Schnittstellen-Einheit (30) ohne Zwischenschaltung eines weiteren Mikroprozessors erfolgt.

2. Einrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Einrichtung (30) als monolithischer Halbleiterbaustein ausgebildet ist.
3. Einrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß dieselbe zur Kommunikation mit dem mikroprozessorgestützten System (2) eine parallele Schnittstelle umfaßt.
4. Einrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die parallele Schnittstelle zur Kommunikation mit dem mikroprozessorgestützten System (2) einen Pufferspeicherbereich zur Zwischenspeicherung von Daten und Steueranweisungen aufweist, insbesondere einen Pufferspeicherbereich nach dem First In First Out (FIFO) - Prinzip.
5. Einrichtung nach Anspruch 3 oder 4, dadurch gekennzeichnet, daß dieselbe zur Unterstützung von mindestens zwei verschiedenen parallelen Schnittstellen-Betriebsarten (ECP-Bus oder μ P-Bus) ausgebildet ist, wobei das mikroprozessorgestützte System (2) über ein Selektionssignal (S0) die gewünschte Betriebsart der Einrichtung (30) anzeigt, woraufhin diese automatische zur Unterstützung der gewählten Betriebsart konfiguriert wird.
6. Einrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß dieselbe zur Kommunikation mit dem mikroprozessorgestützten System (2) eine serielle Schnittstelle umfaßt.
7. Einrichtung nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, daß dieselbe einen Schaltkreis aufweist zur Auswertung eines Signals (Card In), das anzeigt, ob eine Chipkarte (1) ordnungsgemäß in der Kontaktiereinheit (31) positioniert ist, wobei in Abhängigkeit von diesem Signal (Card In) automatisch vorbestimmte Schaltungsabläufe in dem Schnittstellen-Halbleiterbaustein ablaufen, die die weitere Kommunikation mit der Chipkarte (1) und den Schaltungszustand der entsprechenden Kontakte der Kontaktiereinheit (31) festlegen.

8. Einrichtung nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, daß der Schaltkreis (30D) zur Generierung der Versorgungsspannung (VCC) zur Erzeugung von mindestens zwei unterschiedlich hohen Versorgungsspannungen ausgebildet ist.
9. Einrichtung nach Anspruch 7, dadurch gekennzeichnet, daß über eine entsprechende Steueranweisung des mikroprozessorgestützten Systems (2) eine vorbestimmte Schaltungsabfolge in dem Schnittstellen-Halbleiterbaustein (30) ausgelöst wird, die festlegt, welche Versorgungsspannung (VCC1, VCC2) für die Chipkarte (1) erzeugt wird.
10. Einrichtung nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, daß dieselbe einen Baustein (UART) zur Parallel-/Seriell-Wandlung der zwischen dem mikroprozessorgestützten System (2) und der Chipkarte (1) auszutauschenden Daten aufweist, der einen Schaltkreis zur Fehlererkennung unter Verwendung eines Paritätsbits aufweist.
11. Einrichtung nach einem der vorstehenden Ansprüche 1 bis 9, dadurch gekennzeichnet, daß dieselbe im Fall des Betriebs/Datenaustauschs von synchronen Karten die Kartenkontakte (I/O, RST, CLK) aktiv über ein Signalregister kontrolliert werden.
12. Einrichtung nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, daß dieselbe eine Leistungskontroll- und Abschalteinheit umfaßt, die den Versorgungsstrom zur Chipkarte (1) überwacht, und im Falle einer Überschreitung um einen vorbestimmten Wert die Signale (VCC, I/O, CLK, RST) in der festgelegten Reihenfolge automatisch auf definierte Pegel legt.

13. Einrichtung nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, daß der Schaltkreis (30C) zur Generierung des Taktsignals (CLK) zur Erzeugung von mindestens zwei unterschiedlich hohen Taktfrequenzen für die Chipkarte (1) ausgebildet ist.
14. Einrichtung nach Anspruch 12, dadurch gekennzeichnet, daß über eine entsprechende Steueranweisung des mikroprozessorgestützten Systems (2) festgelegt wird, welche Taktfrequenz für die Chipkarte (1) generiert wird.
15. Einrichtung nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, daß dieselbe zur Unterstützung von Chipkarten (1), in denen mindestens zwei verschiedene Clockfrequenz-Teilungsfaktoren zur Ableitung einer Datenübertragungsrate gespeichert ist.

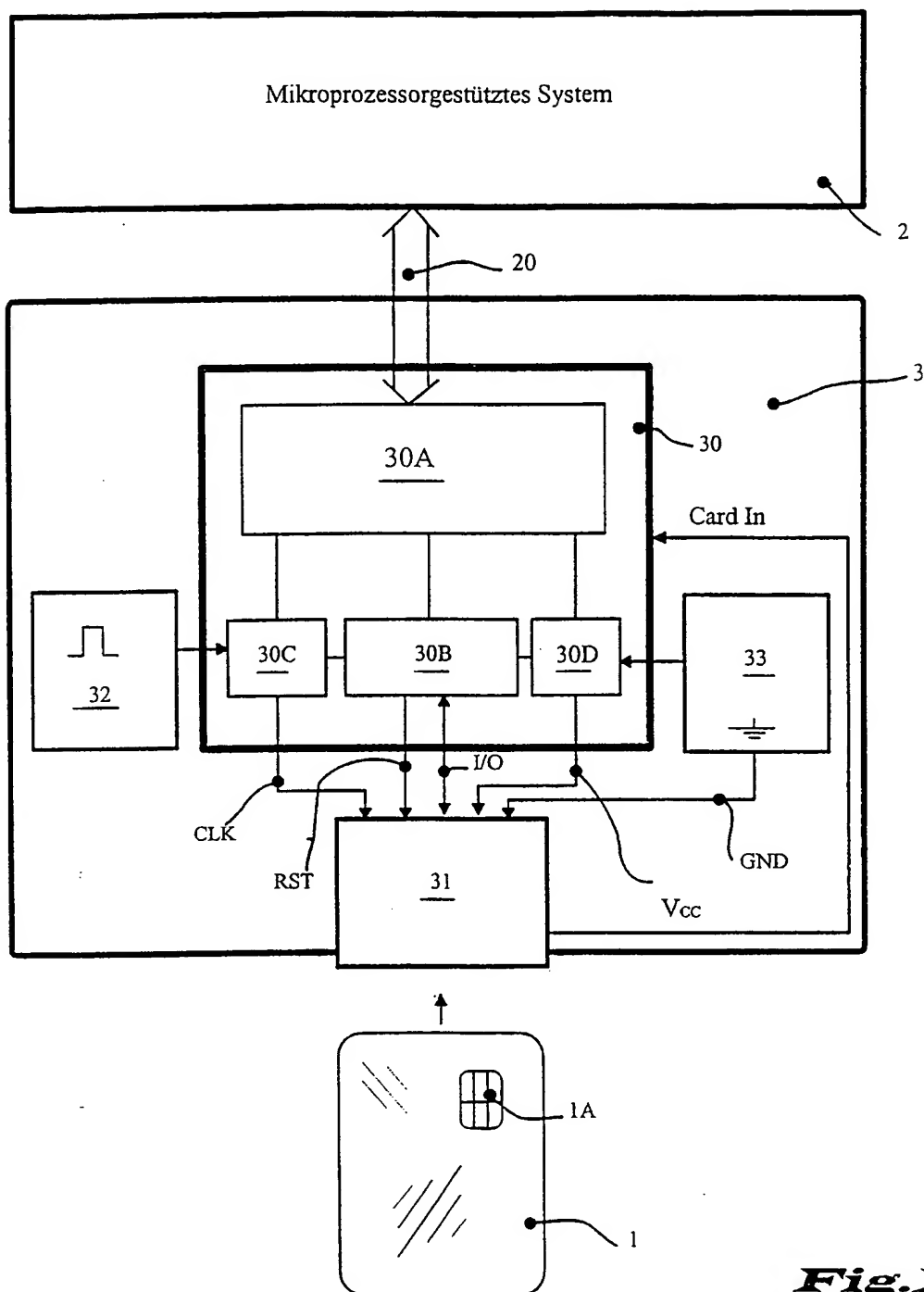


Fig.1

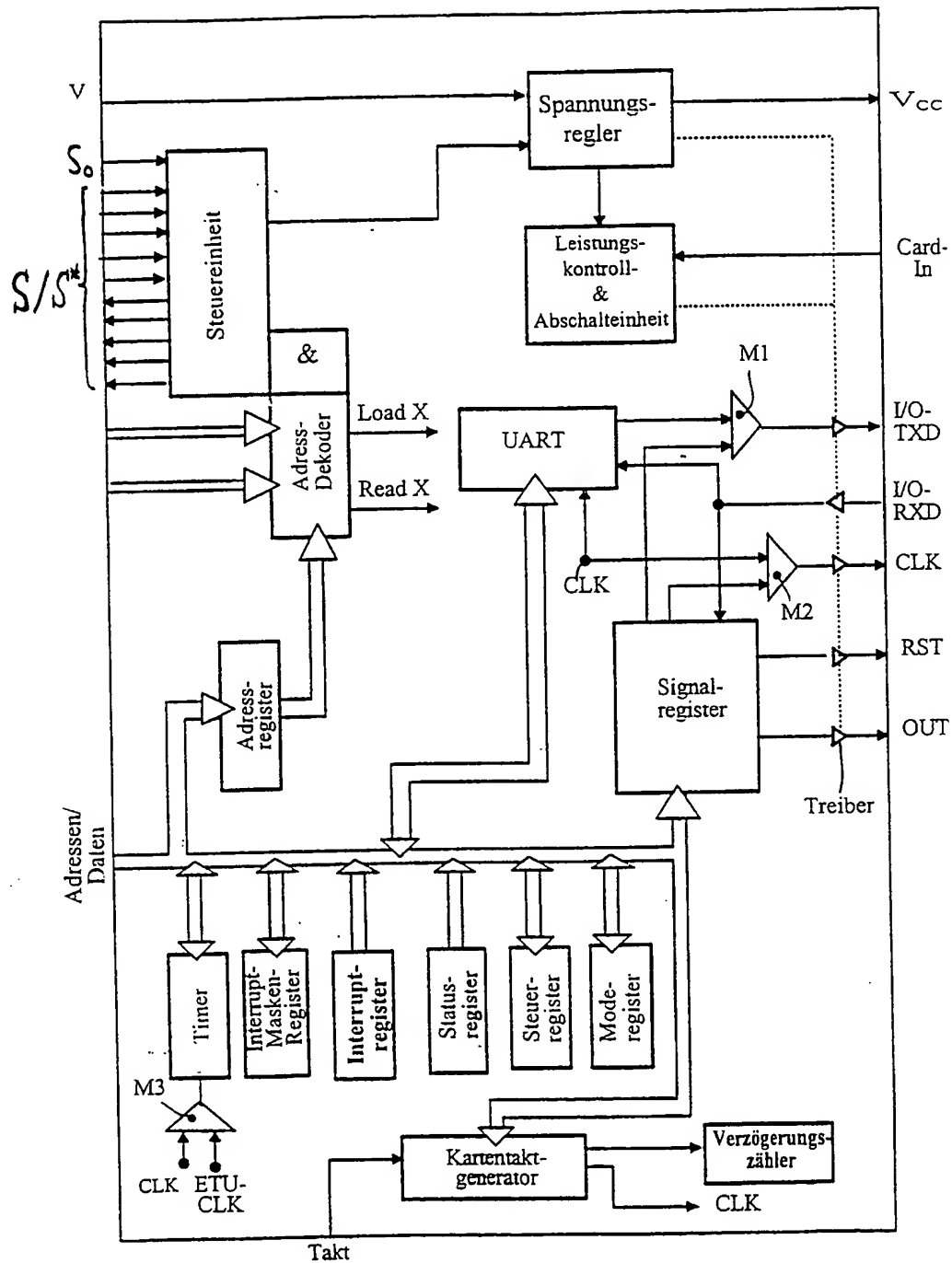


Fig. 2

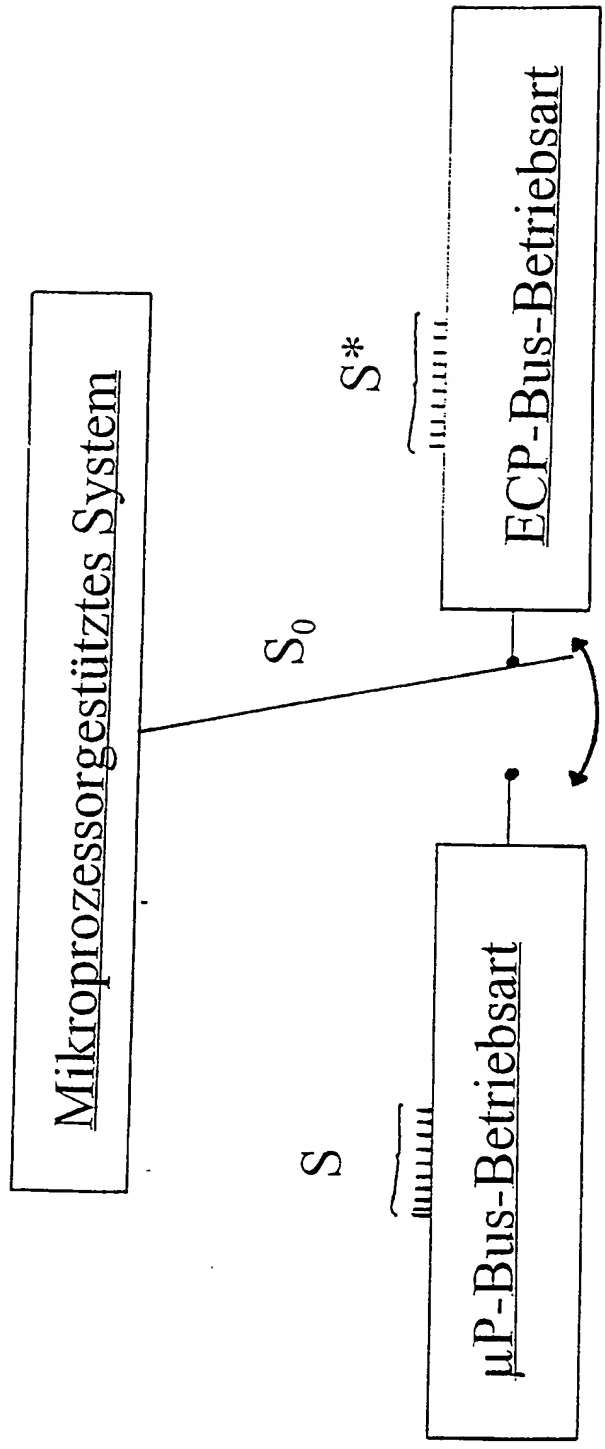


Fig. 3

μP-Bus-Betriebsart

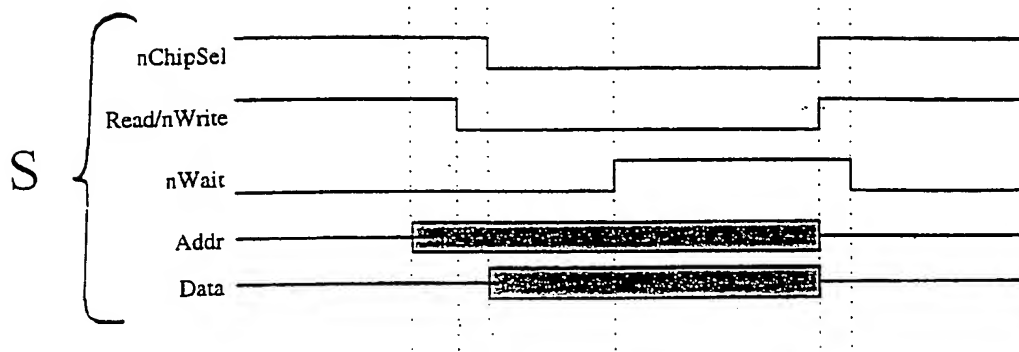


Fig. 3A

ECP-Bus-Betriebsart

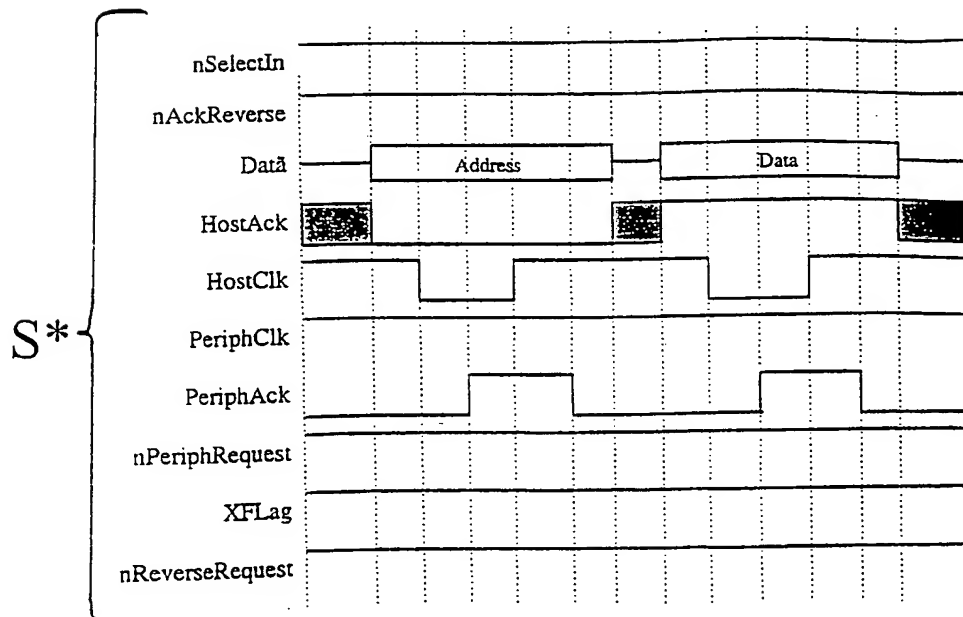


Fig. 3B

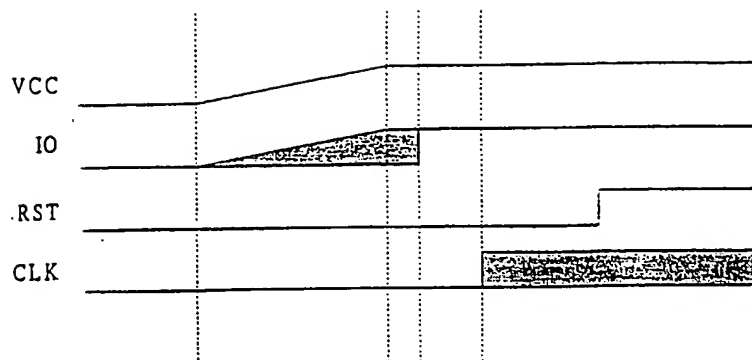


Fig. 4A

Einschalt-Sequenz

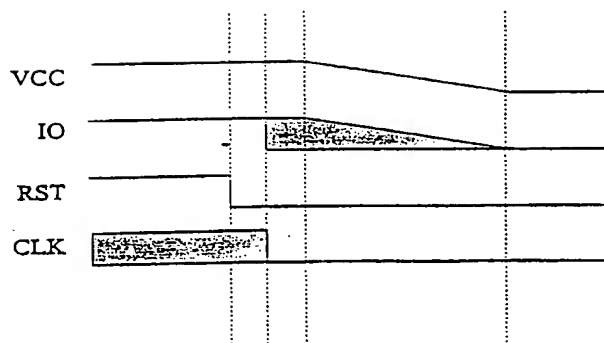


Fig. 4b

Abschalt-Sequenz